



Desenvolvimento e Realização de um Oscilador Trifásico Senoidal de Referência Baseado em FPGA. Uma Experiência de Aprendizagem Autêntica.

José Roberto Quezada Peña – jrkezada@yahoo.com

Felipe Penha Alves – felipealves013@gmail.com

Universidade Federal do Maranhão (UFMA), Departamento de Engenharia Elétrica.

Av. dos Portugueses, 1966 – Cidade Universitária Dom Delgado – Bacanga

CEP: 65080-805 – São Luís – Maranhão

Resumo: Neste trabalho é apresentada uma proposta de aplicação de aprendizagem autêntica para apoio no conteúdo prático (laboratório) da disciplina Eletrônica de Potência do curso de Engenharia Elétrica da Universidade Federal do Maranhão (UFMA). Este ensino experimental se propõe inovador ao intentar expor o aluno em uma situação de projeto real, intimamente relacionada com a área de conhecimento, tornando-o protagonista de sua educação mudando o cenário de estudo em sala de aula. A partir do desenvolvimento do ciclo de projeto de um Oscilador Trifásico Senoidal de Referência (OTSR), fazendo uso das ferramentas disponibilizadas no MULTISIM, da National Instruments, a Captura/Simulação SPICE e a ferramenta de cossimulação PLD Design, propõe-se realizar um desenvolvimento tecnologicamente atualizado desse bloco funcional fazendo uso de técnicas de modelamento e descrição de Hardware, em VHDL (VHSIC Hardware Description Language), e sua síntese na Plataforma DIGITAL ELECTRONICS FPGA BOARD (DEFB), para NI-ELVIS II. A proposta é um produto do Laboratório de Desenvolvimento de Objetos, Modelos e Protótipos Inovadores de Aprendizado para apoio ao ensino da Eletrônica de Potência e Instrumentação (LabMOPA- EPI), do Departamento de Engenharia de Eletricidade da UFMA. O LabMOPA-EPI tem sua origem motivada dentro da iniciativa CAPES-DED e ABENGE, denominada de: Programa de Engenharia a Distância em Rede Nacional do Sistema Universidade Aberta do Brasil – UABEng, que ocorreu no ano de 2014, e segue a diretriz de produzir material e metodologias para apoio ao ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência.

Palavras-chave: Eletrônica de Potência, Aprendizagem Autêntica, Oscilador de Referência, Descrição de Hardware, PLD Design.

Organização



Promoção





1. INTRODUÇÃO

Na Eletrônica de Potência (EP), a maturidade acadêmica requerida dos estudantes nos cursos de Engenharia Elétrica, a fim de que os mesmos logrem o pleno entendimento dos assuntos abordados em uma primeira disciplina nessa área, aliado ao seu caráter multidisciplinar, são fatores que dificultam seu aprendizado. O problema se agrava em atividades práticas, que demanda a disponibilidade de uma infraestrutura de laboratório com características específicas e que nem sempre está disponível.

Os avanços tecnológicos acelerados na área impõe maior rigor na disponibilização dos Recursos de Apoio Didático, tanto do ponto de vista da abordagem do conteúdo, quanto da forma, pois devem ser concebidos de forma a facilitar a construção do conhecimento e mediar a interlocução entre estudante e professor e, ainda, desenvolver habilidades e competências específicas. Em atividades práticas, as demandas por experiências de Aprendizagem Autêntica são cada vez mais uma necessidade dentro da sala de aula. De acordo com (BROWN et al, 1989):

A aprendizagem autêntica situa os alunos em contextos de aprendizagem onde são encontradas atividades que envolvem problemas e investigações reflexivas e que são susceptíveis de serem enfrentadas dentro de seu mundo real em um contexto profissional

Os autores (HERRINGTON & OLIVER, 2000) identificaram nove características importantes da aprendizagem autêntica:

1. Contextos autênticos refletem na forma como o conhecimento irá ser utilizado na vida real.
2. Atividades autênticas envolvem problemas e investigações complexas e ainda a serem definidas.
3. Possibilita o acesso ao trabalho de peritos que permitem a modelagem de processos.
4. Permite desenvolver múltiplos papéis e perspectivas fornecendo caminhos de soluções alternativas.
5. Permite a abordagem colaborativa permitindo a construção social do conhecimento.
6. Oportuniza a reflexão que envolve a metacognição.
7. Oportuniza articulações de forma a permitir que o conhecimento tácito seja explicitado.
8. Oportuniza o processo de contestação e críticas ao professor em momentos cruciais do processo de ensino/aprendizado.
9. Permite a realização de uma avaliação autêntica que reflete a forma como o conhecimento é avaliado na vida real.

O trabalho aborda e explora, além de experiências de aprendizagem autêntica, o desenvolvimento de um Bloco Funcional usado na área de EP, os Osciladores de Referência (ORs). Os ORs encontram ampla aplicação em Eletrônica de Potência, tanto para realizar Controladores que incorporam a técnica de Controle de Fase em Conversores CA-CC e CA-CA (TRZYNADLOWSK, 2010), como para realização de Controladores Escalares para Inversores que incorporam as técnicas de controle SPWM e THIPWM (KAMESWARA, SRINIVAS & KUMAR, 2014).



A partir do estudo de um Oscilador Trifásico Senoidal de Referência (OTSR) (LIMA, 1989), realizado com uso de lógica discreta, e utilizando as ferramentas disponibilizadas no *MULTISIM*, da *National Instruments*, a Captura/Simulação *SPICE* e a ferramenta de cossimulação *PLD Design*, propõe-se realizar um desenvolvimento tecnologicamente atualizado desse oscilador fazendo uso de técnicas de modelamento *SPICE* e de descrição de *Hardware*, em *VHSIC Hardware Description Language (VHDL)*, e sua síntese na Plataforma *DIGITAL ELECTRONICS FPGA BOARD (DEFB)*, para NI-ELVIS II, também *National Instruments*.

2. *PLD DESIGN*

O ambiente de cossimulação *PLD Design*, parte integrante NI-MULTISIM (Student Edition) (National Instruments, 2010), evidencia aos alunos um ciclo de projeto de sistemas baseados em *Field Programmable Gate Arrays (FPGAs)*, mas fazendo referência à lógica discreta estudada em disciplinas básicas de Circuitos Digitais.

O *PLD Design*, em conjunto com a ferramenta Xilinx *Integrated Software Environment (ISE)*, que faz uso da linguagem *VHDL*, permite a construção de uma estrutura lógica (programada) e que resulta em um arquivo de descrição de *hardware* necessário para síntese do *Hardware* a ser gravado na *FPGA* do DEFB.

Dentro do ambiente *PLD Design* é disponibilizado um Banco de Dados de Componentes específicos e especializados, gerados a partir de estruturas comuns de lógica discreta que, além de possuírem seu modelo *SPICE*, que permite sua captura e simulação, possuem também modelagem em *VHDL* equivalente. Para a síntese de um projeto, é gerado o código *VHDL* equivalente de todo o sistema, considerando todos os componentes e suas conexões e, através da ferramenta *ISE*, gerado o *bit file* a ser gravado na *FPGA* do DEFB, uma das *Targets* já cadastradas no ambiente Cossimulação para este fim.

2.1. *Component Wizard*

O *PLD Design* disponibiliza o *Component Wizard*, ferramenta que permite a criação de componentes personalizados. O *Component Wizard* consiste das etapas abaixo:

1. Escolha do nome e tipo de componente a ser modelado.
2. Escolha do número de pinos e tipo de encapsulamento do componente.
3. Escolha e, ou, edição do símbolo do componente.
4. Escolha da funcionalidade dos pinos (entrada ou saída).
5. Seleção ou desenvolvimento do modelo *SPICE*.
6. Mapeamento dos pinos entre o modelo e o símbolo.
7. Seleção ou desenvolvimento código *VHDL* equivalente.
8. Mapeamento de entradas e saídas entre o código *VHDL* e o símbolo.
9. Selecionar o diretório onde será salvo o componente.

Observa-se que para modelar um componente no ambiente *PLD Design* é necessário construir seu modelo de simulação *SPICE* e seu código *VHDL*, este último destinado à exportação do *Hardware* programado para o dispositivo programável do DEFB. Ambos os códigos podem ser elaborados com ajuda da ferramenta de software MATLAB.



3. O OTSR - SISTEMA LEGADO

Para o desenvolvimento do OTSR considerou-se, inicialmente, a análise de um sistema desenvolvido em Lógica Discreta (LIMA, 1989), com o objetivo de estudar o seu funcionamento e identificar seus blocos construtivos para então reproduzi-lo no ambiente *PLD Design*, em Lógica Programada.

A estrutura do OTSR analisado é apresentada na “Figura 1”. A proposta gira em torno da ideia de reproduzir, digitalmente, pelo uso de lógica discreta, um Ciclo Operacional de um Sistema Equilibrado de Sinais Trifásicos, para posterior uso como Sinais de Referência e, ou, Sincronização. Isto foi realizado gerando uma tabela de Amostras Digitais para cada sinal de referência. Cada amostra tem resolução de 8 bits para amplitude, e 2^8 amostras por ciclo, que deu origem a uma tabela de 256 amostras, por fase. As tabelas geradas foram gravadas em uma *EPROM* com capacidade de 2024 bytes, e organizadas em bytes consecutivos de amostras por fase, para cada uma das posições de amostragem geradas, isto é ($A_0, B_0, C_0, A_1, B_1, C_1, \dots, A_{255}, B_{255}, C_{255}$), conforme apresentado na “Figura 2”.

Figura 1- Diagrama de Blocos do Oscilador Trifásico Senoidal de Referência Legado.

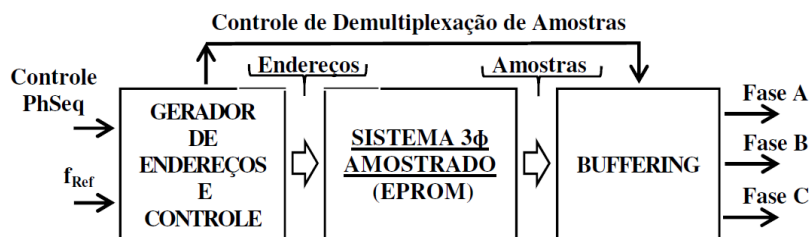


Figura 2- Organização das amostras na Memória EPROM do Sistema Legado.

Memória EPROM		Amostras
Endereço 0	Amostra A_0	Amostra (0)
Endereço 1	Amostra B_0	
Endereço 2	Amostra C_0	
.	.	.
.	.	.
.	.	.
Endereço 2FD	Amostra A_{255}	Amostra (255)
Endereço 2FE	Amostra B_{255}	
Endereço 2FF	Amostra C_{255}	

Para fins de recuperar as amostras gravadas é provisionado um circuito Gerador de Endereços (GE). Para cada amostra gravada na *EPROM* corresponde, de forma unívoca, um endereço correspondente. O total de amostras na memória é de $2^8 \times 3$. Isto define a primeira especificação de requisitos do GE, operar na faixa de endereços compreendida entre 000_{HEX} a $2FF_{\text{HEX}}$.

O GE, no projeto estudado, foi realizado com Contadores Síncronos de *4-Bits*, do Tipo *Up-Down*, programáveis. Para fins de cobrir a faixa de endereçamento requerida (000_{HEX} a $2FF_{\text{HEX}}$), três contadores em cascata foram utilizados. Para realizar a primeira especificação de requisitos do GE foi utilizada a característica programável dos mesmos que, através de um



circuito detector de limite de contagem, os contadores são inicializados para 000_{HEX} toda vez que o limite 2FF_{HEX} é atingido (no sentido de contagem *Up*). Observa-se que, para aproveitar a capacidade de contagem *Up* ou *Down* do GE, é necessário que o detector de limite de contagem seja projetado apropriadamente para que o GE seja inicializado corretamente em cada sentido de contagem demandado.

Uma característica importante em OTSRs é sua capacidade de poder alterar a sequência de fase, sempre que requerido. Isto é, operar ora na Sequência ABC ou, ora na Sequência ACB. No projeto legado esta especificação é atendida pelo controle da direção da contagem (*Up* ou *Down*) dos contadores que constituem o GE, conforme mostrado na Figura 2.

A terceira especificação de requisitos do GE diz respeito à possibilidade de inserir no OTSR a capacidade de realizar controle da frequência. No projeto legado, a velocidade de recuperação das amostras está relacionada à velocidade de geração dos endereços que, por sua vez, está relacionada à f_{Ref} , vide Figura 1, que é a f_{Clock} dos contadores. Quanto maior f_{Ref} , maior a velocidade de recuperação das amostras, o que dá ao OTSR maior frequência operacional. Inversamente, quanto menor f_{Ref} , menor a frequência do OTSR.

Finalmente, o OTSR recupera as amostras de forma sequencial (A, B, C). Entretanto, para seu posterior processamento, é necessário que essas amostras sejam isoladas ou demultiplexadas por fase. Esta funcionalidade é realizada no Bloco de *Buffering*.

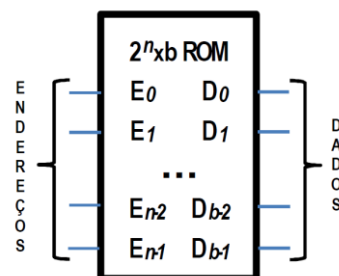
O Bloco de *Buffering*, um arranjo de *debuffers* duplos (*In* e *Out*) por fase, independentes, executam as funções de *Hold/Up-Date*. Isto é, os *Buffers* de entrada (*In*) são mantidos (*Hold*), sequencialmente (A, B, C), sempre que os *bytes* das amostras por fase são recuperados (Ex. A_0 , B_0 , C_0). A cada ciclo de recuperação de amostras (Ex. A_0 à C_0), os *buffers* de saída são atualizados (*Up-Date*), simultaneamente (ABC). As sinalizações e sequenciamento dos *Buffers* de entrada e de saída são realizados pelo Circuito de Controle de Demultiplexação de Amostras (CCDA), integrante do Bloco GE e Controle, cuja operação é sincronizada e é comandada pelo sinal f_{Ref} . O projeto do CCDA depende da solução de *Buffering* adotada.

4. O OTSR - NOVO DESENVOLVIMENTO

Foi realizada a análise do Sistema Legado com o objetivo de reproduzi-lo no ambiente *PLD Design*, em Lógica Programada. Para então realizar sua síntese.

A tabela de amostras digitais em *EPRM* no Sistema Legado, não pode ser realizada de forma direta no *PLD Design* visto que na sua Base de Dados de componentes não existem memórias cadastradas. Desta forma, um novo componente, uma *ROM*, foi modelada, conforme mostrado na “Figura 3”. Modelar esta *ROM* a partir de blocos lógicos básicos mostrou-se uma solução complexa. Assim, foi adotado o modelamento pelo *Component Wizard*.

Figura 3 - Componente a ser modelado – ROM $2^n \times b$.





Como citado, para criar a *ROM* é necessário construir um modelo *SPICE* e um código *VHDL* equivalente. Além de, neste caso específico, produzir e codificar os dados das amostras a serem gravadas na *mesma*. Os modelamentos foram feitos com ajuda do *MATLAB*, conforme detalhado adiante. A tabela de amostras foi gerada contendo os Sinais de Referência na forma binária, e então construídos os códigos necessários para o modelamento da *ROM*.

Foram modeladas três *ROMs*, fases A, B e C. Cada *ROM* possui 256 amostras com 8 bits de resolução para amplitude. A “Figura 4” ilustra a organização dessas *ROMs* modeladas.

Figura 4 - Organização das amostras nas *ROMs* do *PLD Design*.

UP	ENDEREÇO	<i>ROM A</i>	<i>ROM B</i>	<i>ROM C</i>
	Endereço 0	Amostra A ₀	Amostra B ₀	Amostra C ₀
	Endereço 1	Amostra A ₁	Amostra B ₁	Amostra C ₁
	Endereço 2	Amostra A ₂	Amostra B ₂	Amostra C ₂

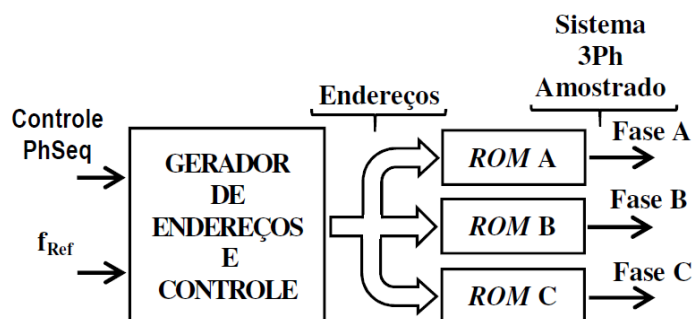
	Endereço 253	Amostra A ₂₅₃	Amostra B ₂₅₃	Amostra C ₂₅₃
	Endereço 254	Amostra A ₂₅₄	Amostra B ₂₅₄	Amostra C ₂₅₄
DOWN	Endereço 255	Amostra A ₂₅₅	Amostra B ₂₅₅	Amostra C ₂₅₅

O novo GE, como no Sistema Legado, foi realizado com Contadores Síncronos de 4-Bits, do Tipo *Up-Down*, programáveis, já disponíveis no Banco de Componentes.

A primeira especificação de requisitos diz respeito à faixa de contagem do GE. Para cobrir esta faixa (0 a 255), foram necessários dois contadores em cascata, já que o GE é conectado simultaneamente às *ROM A*, *ROM B* e *ROM C*, relativas às três fases, endereçando simultaneamente as mesmas. Dessa forma, cada endereço gerado recupera, de forma unívoca e simultânea, uma amostra de cada fase, não sendo necessário que estas sejam isoladas ou demultiplexadas para posterior processamento, conforme mostrado na “Figura 5”.

Para provisionar a capacidade de contagem cíclica no GE, crescente ou decrescente, foi adicionado um circuito detector de limite de contagem. Os contadores são inicializados em 0 sempre que o limite (255) é atingido (no sentido *UP*) e inicializados em 255 sempre que o limite (0) é atingido (no sentido *DOWN*).

Figura 5 - Diagrama de Blocos do Oscilador Trifásico Senoidal de Referência desenvolvido no *PLD Design*.





A segunda especificação de requisitos do GE, como no OTRS legado, é atendida pelo controle da direção da contagem (*Up* ou *Down*), realizado pelo sinal *PhSeq*, vide Figura 5.

A terceira especificação de requisitos, o controle da frequência do Sistema de Referência. Há no DEFB duas maneiras de obter um *Clock*: (a) Usando um oscilador interno (*sys_clk_pin*); (b) Usando o *Clock* externo (*RotClk*). Foi escolhido utilizar *RotClk*. A velocidade de recuperação das amostras está relacionada à f_{Ref} do sistema mostrado na Figura 5. A relação da frequência dos Sinais de Referência é igual a f_{Ref} dividido pelo N^o de amostras (256), a faixa de frequência utilizando (*RotClk*) é 1/256 Hz a 5M/256 Hz, ou seja, entre 3,9 mHz e 19,5 kHz.

A. Gerando Amostras.

Para realizar sua digitalização são necessárias três etapas: a primeira corresponde à amostragem, a segunda à quantização e a terceira à codificação.

Para amostragem, através do software MATLAB, foram obtidos os dados relativos a uma senoide amostrada e quantizada como especificado. Os valores são então convertidos para a forma binária. O algoritmo utilizado foi:

```
n = 8;           % Amostragem no tempo.  
m = 8;           % Quantização (Amplitude).  
d = +0*pi/180;   % Defasamento (Radianos).  
t = 0:2^n-1;  
x=(2^m-1)/2*sin(2*pi*t/(2^n-1)+d)+(2^m-1)/2;  
x=round(x)';
```

O número de *bits* para a amostragem e para a quantização é definido por n e m , respectivamente, 8 *bits* para ambos. Para obter as amostras das três fases, o algoritmo foi executado três vezes, alterando o valor de d para +120 e -120.

B. Gerando modelo de simulação SPICE

O modelo de simulação *SPICE* de um componente é usado pelo simulador para prever seu comportamento. Na *ROM*, o modelo determina o seu comportamento (*behavior*), definindo o número de entradas e saídas e determinando, de forma unívoca, uma saída para cada de entrada. Os dados foram obtidos a partir do algoritmo MATLAB descrito acima.

Para modelar a *ROM* o *Script* do código *SPICE* utilizado foi:

```
+( behavior= "  
+/inputs A0 A1 A2 A3 A4 A5 A6 A7  
+/outputs D0 D1 D2 D3 D4 D5 D6 D7  
+/table 256  
+;A AAAAAA DDDDDDDD  
+;0 1 2 3 4 5 6 7 0 1 2 3 4 5 6 7  
+ 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0  
+ 1 0 0 0 0 0 0 0 1 0 0 0 0 0 1 1  
...  
+ 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1  
+")
```



C. Gerando o código VHDL

No *Component Wizard*, existe limitação de 65000 caracteres para um modelo VHDL. Para o modelo da ROM, foram investigados três métodos: (a) Expressões booleanas; (b) *Case Statement*; e; (c) Matriz de Inteiros. O melhor resultado foi com a Matriz de Inteiros. A ROM modelada teve apenas 1918 caracteres. E o Algoritmo MATLAB:

```
fprintf('\n constant ROM_%i: ROM := (' , 2^n );  
for i=1:2^n  
    fprintf( '%i' , x(i) );  
    if(i<2^n) fprintf(','); end  
end
```

E o Código VHDL com Matriz Inteiros foi:

```
library.ieee; use ieee.std_logic_1164.all; use.IEEE.Em umeric_std.all;  
entity rom_256x8 is port(  
E0: in STD_LOGIC; S0: out STD_LOGIC; E1: in STD_LOGIC; S1: out STD_LOGIC;  
E2: in STD_LOGIC; S2: out STD_LOGIC; E3: in STD_LOGIC; S3: out STD_LOGIC;  
E4: in STD_LOGIC; S4: out STD_LOGIC; E5: in STD_LOGIC; S5: out STD_LOGIC;  
E6: in STD_LOGIC; S6: out STD_LOGIC; E7: in STD_LOGIC; S7: out STD_LOGIC);  
end rom_256x8;  
architecture arq of rom_256x8 is  
signal E : std_logic_vector(7 downto 0); signal S : std_logic_vector(7 downto 0);  
signal E_int: integer range 0 to 255; signal S_int: integer range 0 to 255;  
type ROM is array (0 to 255) of integer range 0 to 255;  
constant ROM_256: ROM := (128,131,134,137,140,143, ... ,112,115, 118,121,124,127);  
begin  
E_int<= to_integer(unsigned(E));  
S <= std_logic_vector(to_unsigned(ROM_256(E_int), 8));  
E(0) <= E0; S0 <= S(0); E(1) <= E1; S1 <= S(1);  
E(2) <= E2; S2 <= S(2); E(3) <= E3; S3 <= S(3);  
E(4) <= E4; S4 <= S(4); E(5) <= E5; S5 <= S(5);  
E(6) <= E6; S6 <= S(6); E(7) <= E7; S7 <= S(7);  
end arq;
```

5. RESULTADOS OBTIDOS

O OTSR projetado em Lógica Programada foi simulado e posteriormente sintetizado e gravado na FPGA da Plataforma DEFB. Resultados obtidos em simulação (“Figuras 6 e 7”) e experimentais (“Figuras 8 e 9”) a partir do sistema sintetizado são apresentados abaixo.

Demonstra-se, assim, a validade do ciclo de projeto abordado e abrem-se perspectivas para novos desenvolvimentos fazendo uso das tecnologias FPGA utilizando as ferramentas de cossimulação *PLD-Design*.



Figura 6 – OTSR, Simulação Spice – (a) Eixo superior: Sinais de Referência Senoidais ($f = \frac{100k}{256} \cong 390Hz$). (b) Eixo inferior: f_{Ref} (Clock 100kHz).

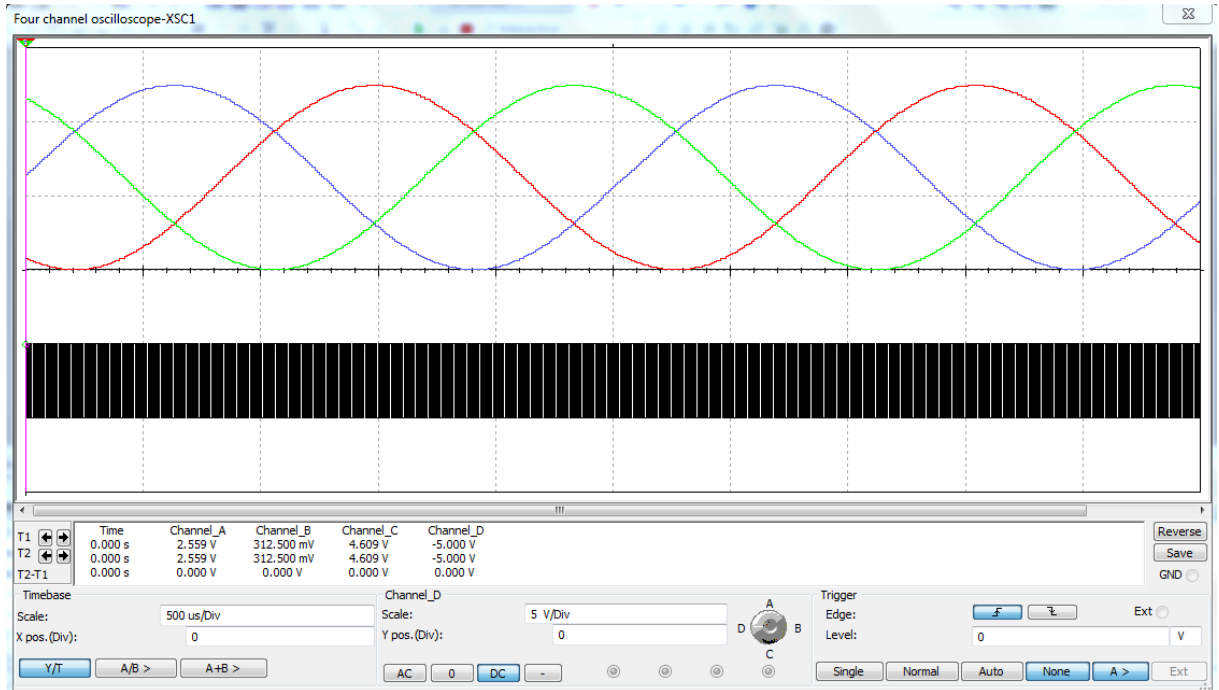


Figura 7 – OTSR, Simulação Spice – (a) Eixo superior: Sinais de Referência Senoidais com Injeção de Terceiro Harmônico ($f = \frac{100k}{256} \cong 390Hz$). (b) Eixo inferior: f_{Ref} (Clock 100kHz).

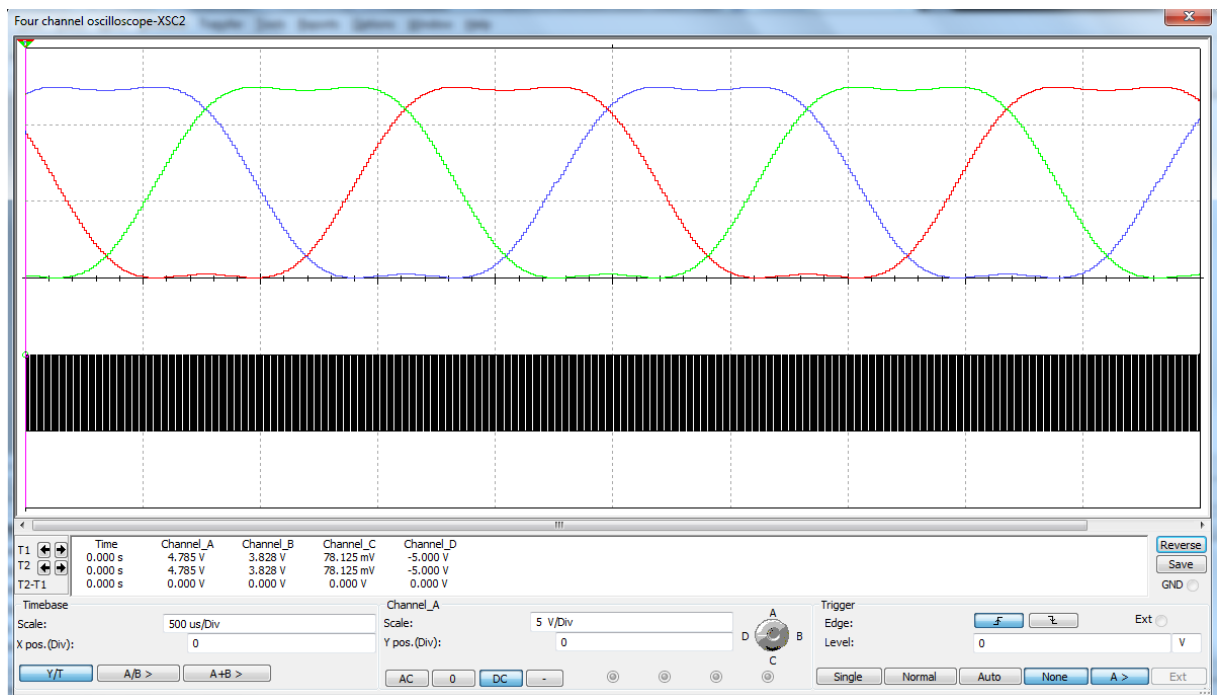




Figura 8 – OTSR, Oscilograma – Sinal de Referência Senoidal ($f \cong 15kHz$; Clock $\cong 3,84MHz$) usando um Conversor DA R-2R.

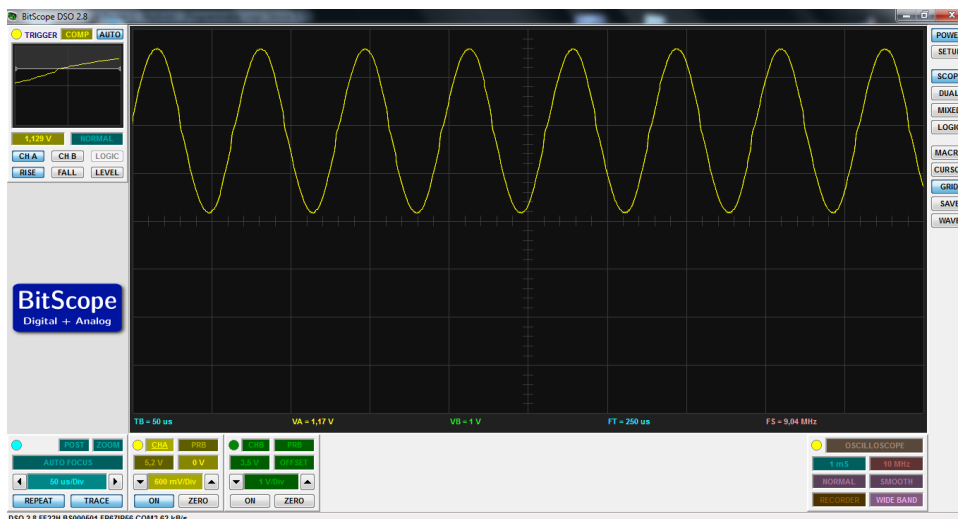
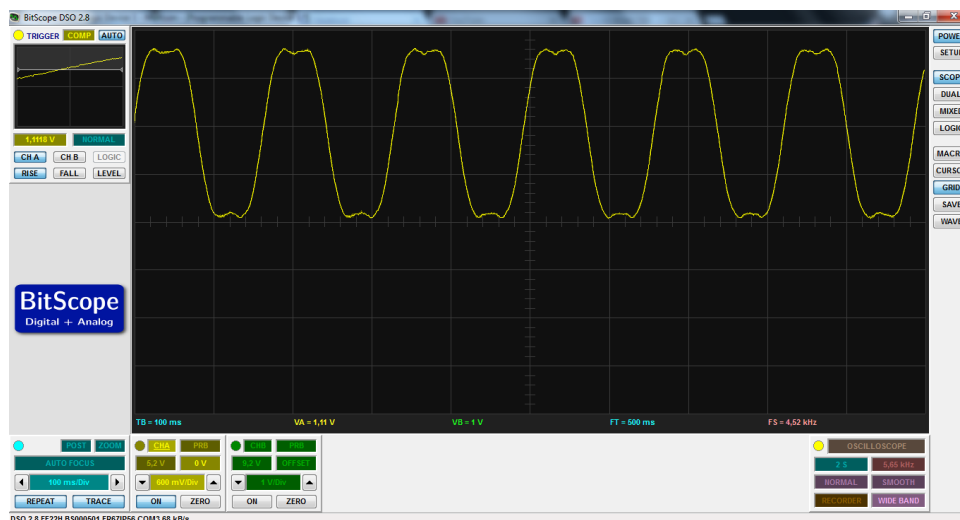


Figura 9 – OTSR, Oscilograma – Sinal de Referência Senoidal ($f \cong 6Hz$; Clock $\cong 1,5kHz$) com Injeção de Terceiro Harmônico usando um Conversor DA R-2R.



6. TRABALHOS EM DESENVOLVIMENTO

A partir da realização deste trabalho o LabMOPA-EPI passa a produzir subsídios para o desenvolvimento de projetos de controladores digitais unificados para uso no ensino prático da Eletrônica de Potência, fazendo uso de ferramentas tecnológicas atuais e estruturas FPGAs.

- O Desafio:** Idealizar experiências de “aprendizagem autêntica”.
- A Solução:** Formular projetos de controladores digitais para baseados em FPGA, realizados fazendo uso da ferramenta de Cossimulação "PLD Design" do NI-MULTISIM.
- Os Resultados:** Controlador Digital Unificado e Adaptativo, baseado em FPG, para estudo de Conversores CC-CA.

Organização



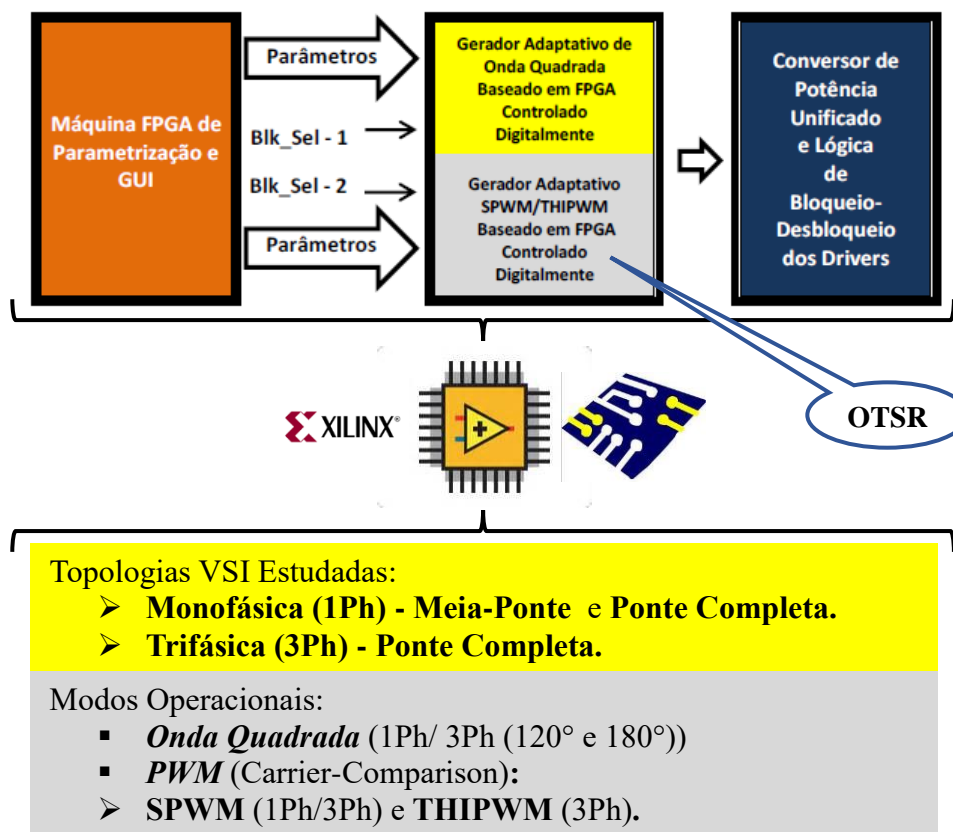
Promoção





Um projeto se encontra atualmente em fase final de desenvolvimento pelos autores e utiliza o OTSR como bloco funcional básico:

CONTROLADOR UNIFICADO FPGA PARA INVERSORES VSI - CICLO DE PROJETO “NI PLD-DESIGN”



7. CONSIDERAÇÕES FINAIS

A metodologia proposta neste trabalho se valeu de diversos recursos, tanto metodológicos quanto tecnológicos, no intuito de avançar na melhoria ou quiçá modificar a “sala de aula” dos cursos de engenharia, que hoje vão além do espaço físico da universidade.

No entendimento dos autores, promove-se, assim, inovação educacional através da realização de experiências práticas de aprendizagem autêntica.

Objetos de Aprendizado e Guias de Simulação, baseados nos resultados deste projeto, estão em construção para apoiar as atividades de ensino prático dessa disciplina na UFMA.

Agradecimentos

Agradecemos ao Departamento de Engenharia de Eletricidade e NEAD da UFMA pelo incentivo dado para a elaboração deste trabalho e pela permissão de uso dos recursos laboratoriais do Laboratório Multidisciplinar, totalmente estruturado com as tecnologias National Instruments para apoio ao Ensino da Engenharia Elétrica.



REFERÊNCIAS BIBLIOGRÁFICAS

- BROWN, J.S., et al. (1989). “Situated Cognition and the Culture of Learning.” *Educational Researcher*, 18(1), 32–42.
- HERRINGTON, J., et al (2000). “An Instructional Design Framework for Authentic Learning Environments.” *Educational Technology Research and Development*, 48(3), 23–48.
- LIMA, Fernando (1989). FONTE DE CORRENTE DIGITALMENTE CONTROLADA. TCC/DEEE/UFMA.
- NATIONAL INSTRUMENTS. Teach Digital Concepts with the PLD Schematic in NI Multisim. Tutorial. Jan 08, 2010.
- NATIONAL INSTRUMENTS. Export Digital Logic to Xilinx FPGAs With NI Multisim. Tutorial. Feb 03, 2012.
- R, Kameswara Rao, P. Srinivas , M.V. Suresh Kumar, DESIGN AND ANALYSIS OF VARIOUS INVERTERS USING DIFFERENT PWM TECHNIQUES, IJESP 2014...
- TRZYNADLOWSKI, A. Introduction to Modern Power Electronics, Second Edition. John Wiley & Sons Inc. 2010.

DEVELOPMENT AND IMPLEMENTATION OF A REFERENCE THREE-PHASE SINUSOIDAL OSCILLATOR BASED ON FPGA. AN AUTHENTIC LEARNING EXPERIENCE.

Abstract: *This paper presents a proposal for the application of authentic learning to support the practical content (laboratory) of the Power Electronics discipline of the Electrical Engineering course of the Federal University of Maranhão (UFMA). This experimental teaching is proposed as innovative when trying to expose the student in a real project situation, closely related to this area of knowledge, making him the protagonist of his education changing the scenario of study in the classroom. From the development of the design cycle of a Three-Phase Sine Wave Reference Oscillator (TSRO), using the tools available in the National Instruments MULTISIM, the SPICE Capture / Simulation and the PLD Design Co-simulation tool, it is proposed to perform a technologically new development for this functional block using VHDL (VHSIC Hardware Description Language) hardware description techniques and Tools, and its synthesis in the DIGITAL ELECTRONICS FPGA BOARD (DEFB) Platform, for NI-ELVIS II. The proposal is a product of the Laboratory for Development of Learning Objects, Models and Innovative Prototypes to support the teaching of Power Electronics and Instrumentation (LabMOPA-EPI), Department of Electrical Engineering of UFMA. LabMOPA-EPI has its origin motivated within the CAPES-DED and ABENGE initiative, called the Distance Learning National Engineering Network Program of the Open University System of Brazil - UABEng, which took place in 2014, and follows the guideline of producing Material and Methodologies to support the teaching of Electrical Engineering, in the experimental teaching of Power Electronics.*

Key-words: *Power Electronics, Authentic Learning, Reference Oscillator, Hardware Description, PLD Design.*